

基于扩展汉明码的 BISR 设计优化

沙亚兵^{1, 2}, 李文石¹

(1 苏州大学 电子信息学院, 江苏 苏州 215001; 2 雄立科技(苏州)有限公司, 江苏 苏州 215021)

摘 要: BISR 本质是自动实现电路内部纠错. 为监督 SARM 中的 176 bit 宽并行数据, 提出一种基于扩展汉明码设计 BISR 电路的优化技术. 将并行数据劈裂为两个模块, 分别利用基于扩展汉明码的独立 ECC, 组建 BISR 架构. 根据异或逻辑的可交换性, 重排子运算项, 建立 XOR-Tree 可合并项的特征图, 观察与提取可以共用的子运算项, 借助这种“兼容”策略优化 XOR-Tree, 在 TSMC 90 nm 工艺中满足了降低时延和面积的工程要求. 仿真结果显示, 时延与面积分别降低了约 28% 和约 35%, 功耗降低约 36%. 最终时延为 1.5 ns, 面积为 6 200 μm^2 , 功耗是 0.54 mW, 表明了本优化方法的有效性.

关键词: BISR; ECC; XOR-Tree; 时延; 面积; 功耗

中图分类号: TP391

文献标识码: A

文章编号: 1000-7180(2011)12-0092-04

BISR Design Optimization Based on Extended Hamming Code

SHA Ya-bing^{1, 2}, LI Wen-shi¹

(1 School of Electronics and Information, Soochow University, Suzhou 215006, China;

2 XeL Technology (Suzhou) Co., Ltd., Suzhou 215021, China)

Abstract: BISR is to achieve the internal nature of the automatic correction function. In order to supervise SRAM's 176-bit wide parallel data, this paper proposed a method to optimize the BISR which based on extended hamming code. The data has been split into two parts suit for ECC architecture. Under the exchangeable logic terms, we built a Signature-map for XOR-Tree. In TSMC 90nm process the results met the project requirements showing reduced 28% of delay, 35% of area and 36% of power. At last, ECC delay is 1.5 ns, area, 6 200 μm^2 and power dissipation, 0.54 mW. These data demonstrate the effectiveness of our optimal method.

Key words: BISR; ECC; XOR-Tree; delay; area; power dissipation; EEACC; B10

1 引言

SRAM 生命力的优点是高速和不用刷新, 然而, 作为嵌入式存储器应用, 稳定性的挑战来自软故障^[1].

软故障现象的发生机制, 乃由两个原子碰撞引起了脉冲能量, 其沿着随机的低阻路径衰减直到消失. 例如, 碰巧 (源于工艺偏差) 此路径穿过 SRAM 存取单元, 则这个脉冲能量可能引起写入数据 (原来的)/读出数据出错^[2].

实现电路内部的自动纠错功能是内建自修复

(build-in self-repair, BISR) 的本意.

述评基于扩展汉明码算法的 BISR 电路设计理念: ① 扩展汉明码主要为汉明码 (XOR 运算) 增加了奇偶校验位, 该算法可实现 1 bit 纠错和 2 bit 报错功能^[3]; ② 为确保芯片内嵌 SRAM 中的数据安全, 相关团队设计出一款 BISR 电路, 频率可以跑到 50 MHz, 监督 32 bit 数据^[4], 通过了 FPGA 功能验证.

我们参与设计某款 ASIC, 在评估功能与时序之后^[5], 重点面向时序约束, 采用全定制流程, 基于异或运算项的交换原理, 找到 XOR 拓扑的可合并

收稿日期: 2011-02-20; 修回日期: 2011-04-18

基金项目: 江苏省高校自然科学基金项目资助 (09KJB510017)

项,进而兼顾功耗优化时序.

2 扩展汉明码 BISR 架构与时序

根据芯片的设计要求,需要一个电路监督 176 bit 的并行数据.若是直接利用一个 ECC(Error Correction Code)监督,由于发生 2 bit 数据错误的相对可能性较大,所以将 176 bit 的数据分成 88×2 的格式,即利用两个 ECC 分别监督 88 bit 数据,BISR 结构图参见图 1.

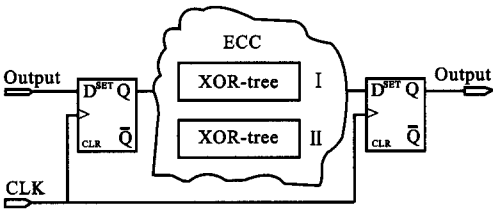


图 1 BISR 结构图

在理解扩展汉明码的算法之后^[6],采用 VerilogHDL 编写 RTL 代码,然后加入相应的验证向量,得到的仿真波形如图 2 所示.

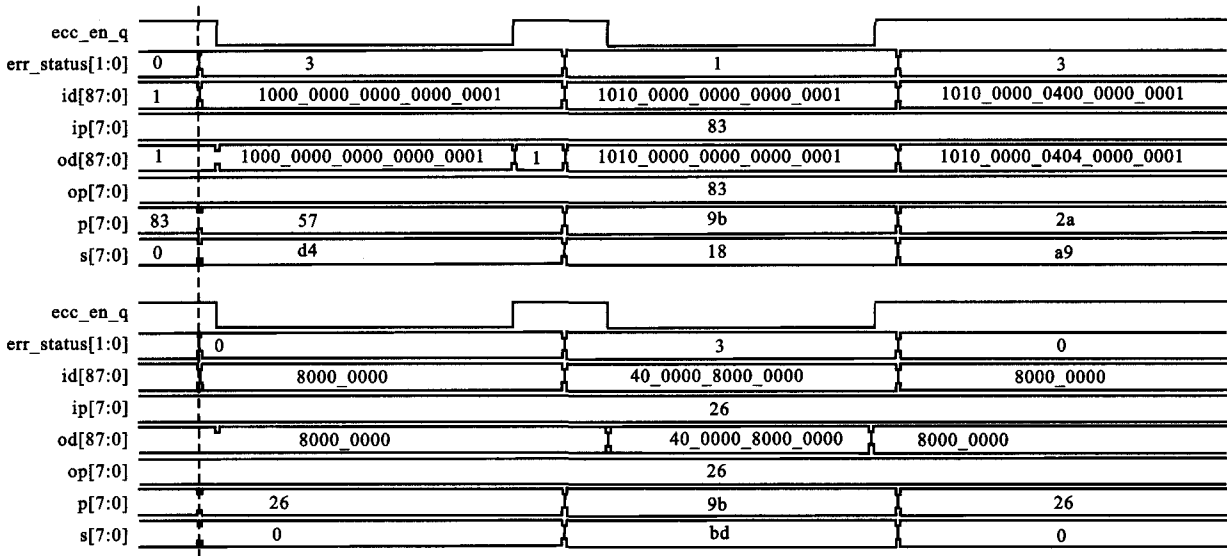


图 2 ECC 逻辑仿真截图

以上仿真在两个 ECC 中独立进行,分别验证 1 bit 和 2 bit 的错误. ECC 逻辑动作是首先打开 ECC (ecc_en_q 使能),写入数据 id[87:0],ECC 计算出一个校验码 ip[7:0],然后关闭 ECC,写入有 1 bit 或者 2 bit 的错误数据,再次打开 ECC 读取数据,这时进行 ECC 校验,相应的状态将在 ecc_status[1:0]状态位显示出来(0、1 或 3 分别指示 0 ~ 2bit 错误).

仿真结果显示,针对 1 bit 和 2 bit 的错误,ECC 电路均能正确地处理,即 1 bit 自动纠错,2 bit 报错.但是对于 3 bit 及以上的错误,该法失效,因为已超出了扩展汉明码的算法能力(此不在本电路讨论范围之内).

3 ECC 的算法优化与拓扑设计

算法优化的原理基于异或运算的交换性质,拓扑设计寻优的参数主要抓住时延兼顾功耗.

3.1 优化 XOR-Tree

做完 RTL 仿真之后,得到参考文献[7](仅处理 32 bit)的研究启示,对于简单的 XOR-Tree,基于异或的交换性质为 id 运算项排序,可以压缩运算子

项,以此避免单元浪费,提高芯片的稳定性.

计算扩展汉明码 ip[7:0]中的两位 ip[2]和 ip[3]的公式列写如下:

$$\begin{aligned} ip[2] = & id[1] \oplus id[2] \oplus id[3] \oplus id[7] \oplus id[8] \\ & \oplus id[9] \oplus id[10] \oplus id[14] \oplus id[15] \oplus id[16] \oplus id \\ & [17] \oplus id[22] \oplus id[23] \oplus id[24] \oplus id[25] \oplus id[29] \\ & \oplus id[30] \oplus id[31] \oplus id[32] \oplus id[37] \oplus id[38] \oplus id \\ & [39] \oplus id[40] \oplus id[45] \oplus id[46] \oplus id[47] \oplus id[48] \\ & \oplus id[53] \oplus id[54] \oplus id[55] \oplus id[56] \oplus id[60] \oplus id \\ & [61] \oplus id[62] \oplus id[63] \oplus id[68] \oplus id[69] \oplus id[70] \\ & \oplus id[71] \oplus id[76] \oplus id[77] \oplus id[78] \oplus id[79] \oplus id \\ & [84] \oplus id[85] \oplus id[86] \oplus id[87] \end{aligned} \quad (1)$$

$$\begin{aligned} ip[3] = & id[4] \oplus id[5] \oplus id[6] \oplus id[7] \oplus id[8] \\ & \oplus id[9] \oplus id[10] \oplus id[18] \oplus id[19] \oplus id[20] \oplus id \\ & [21] \oplus id[22] \oplus id[23] \oplus id[24] \oplus id[25] \oplus id[33] \\ & \oplus id[34] \oplus id[35] \oplus id[36] \oplus id[37] \oplus id[38] \oplus id \\ & [39] \oplus id[40] \oplus id[49] \oplus id[50] \oplus id[51] \oplus id[52] \\ & \oplus id[53] \oplus id[54] \oplus id[55] \oplus id[56] \oplus id[64] \oplus id \\ & [65] \oplus id[66] \oplus id[67] \oplus id[68] \oplus id[69] \oplus id[70] \\ & \oplus id[71] \oplus id[80] \oplus id[81] \oplus id[82] \oplus id[83] \oplus id \end{aligned}$$

$[84] \oplus id[85] \oplus id[86] \oplus id[87]$ (2)

分析式(1)和式(2)可知:存在 6 个连号子运算项,可为计算 ip[2]和 ip[3]时所共用.

根据异或运算项的可交换特性,仔细研究汉明码算法,我们构造一张输入数据与汉明校验输出阵列图,特点是:① 类似表格;② 方便归纳 XOR-Tree 的可合并子项.

将 ECC-I 中的 XOR-Tree 整理成可合并项的特征图(图 3).

图 3 中 Y 轴是输入的数据阵列(88 个细小的横格),X 轴是计算出的校验码阵列(7 bit).

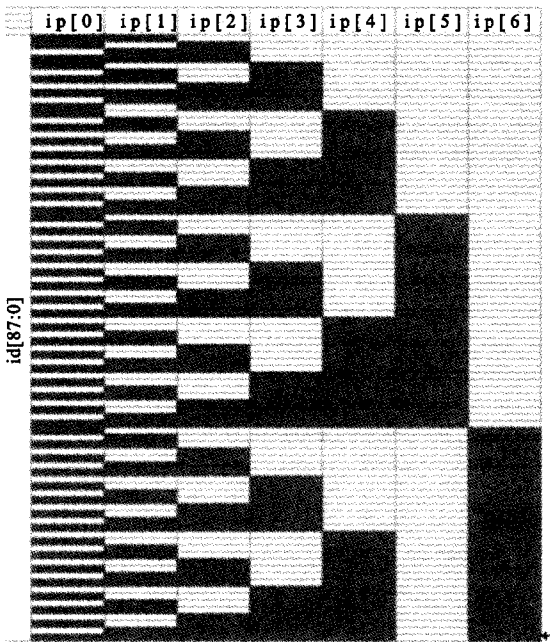


图 3 XOR-Tree 可合并项的特征

每一个标记(多数呈“深色的阶梯”状),都提示 ip[6:0]阵列运算在 X 轴方向,乃由[0]位向[6]位“兼容”(可合并)Y 轴 id[87:0]的运算位数据.

为了加深理解 XOR-Tree 可合并项特征图,如下举例对比 ip[3]与 ip[5]电路结构的优化效果.

计算 ip[3]需要 22 个 XOR 门,由于后向“兼容”,显见只需添加 4 个 XOR,即可得到 ip[5]的电路,参见图 4.

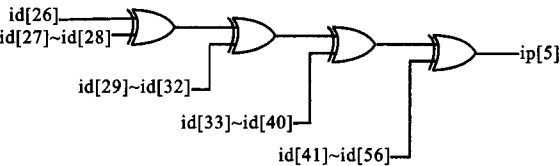


图 4 ip[5]优化后的 XOR-Tree

3.2 优化结果

通过合并 XOR-Tree 的子项,优化前后的 XOR

对比数据参见表 1.

表 1 XOR-Tree 优化前后的比较

模块名称	ecc_gen88
优化前 XOR 数	292
优化后 XOR 数	181
减少 XOR 数	111
降低比例	38%

优化所节省的 38% XOR 数目,既节约了芯片面积,也为降低时延做了技术铺垫.

降低整个电路时延的关键是找到与降低关键路径的时延.为此,搭建了多种结构的 XOR 单元^[8],通过了功能验证和时序验证,最后选择速度快的 Egl03 结构 XOR.

时延优化前后的时延与面积数据,整理写入表 2.其中的仿真利用了 TSMC 90 nm 工艺库.

表 2 时延和面积优化前后的比较

寻优参数	前/后仿时延/ns		面积/ μm^2
优化前	1.6	2.1	9 500
优化后	1.2	1.5	6 200
降低	0.4	0.6	3 300
比例	25.0%	28.6%	34.7%

表 2 显示无论是时延还是面积,都有改善,尤以面积改善明显,这体现了 XOR-Tree 优化(共用单元电路)所带来的益处.

低功耗对电路可靠性和能量等角度来讲已成为电路设计的重要内容,可在不同层次进行优化^[8].下面将针对 TT Corner Case,电源电压从 0.9 V 到 1.1 V,温度从 -40℃到 125℃,做功耗的分析比较,结果参见图 5.

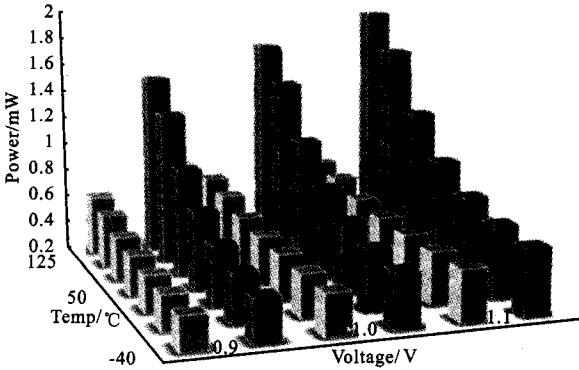


图 5 功耗优化前后的比较

图 5 中,深颜色表示优化前的功耗分布规律,浅颜色则表示优化后的功耗.显见,功耗降低尤以高温时显著,这也增强了本电路设计的温度域优势.

4 结束语

将 176 bit 的并行数据劈裂为两个模块,分别利用基于扩展汉明码的独立 ECC,组建 BISR 架构. 根据异或运算项的可交换性,重排子项,建立 XOR-Tree 可合并项的特征图,观察与提取可以共用的子运算项,借助这种“兼容”策略优化 XOR-Tree,在 TSMC 90 nm 工艺中满足了工程要求:降低时延和面积. 仿真结果显示时延与面积分别降低了约 28% 和约 35%,功耗约 36%,表明了本优化方法的有效性.

感谢雄立科技 CTO 张建杰、资深工程师吴俊和杨昌楷的实验指导.

参考文献:

- [1] 邢克飞,杨俊,季金明. 空间辐射效应对 SRAM 型 FPGA 的影响[J]. 微电子学与计算机, 2006, 23(12): 107—110.
- [2] Roman S. Coding and information theory[M]. Berlin: Springer, 1992.
- [3] 雄立科技. ISE Spec. Revision 2.0[S]. 2009.
- [4] 孙凯,喻明艳. 具有检错纠错功能 EMC IP 核开发[D].

(上接第 91 页)

电源范围宽、输出精度高、驱动能力强的 5 V 集成基准电压源. 在设计上通过引入 HV-PMOS,并使其工作在恒流区,将电源和基准核心电路的供电电压隔离开,从而实现宽电源电压范围内的高精度输出. 为保证输出电压的高精度,采用了双重电流反馈电路对流过输出管的电流进行调节. 采用传统的设计跟随电路实现大的输出电流. 用 Spectre 工具对电路的多项电参数进行了仿真,得到工作电源范围为 9~30 V、-20~125 °C 范围内的温度系数为 5.688×10^{-6} ppm/°C,0~40 mA 范围内的负载调整率为 6.5 mV/mA.

参考文献:

- [1] 邓云飞,吴玉广. 一种芯片内部稳压电源的实现[J]. 电子器件, 2004, 27(1): 94—97.
- [2] 陈志军,钟昌贤,张波. 一种用于离线式开关电源的内部电源电路[J]. 中国集成电路, 2006(8): 18—21.
- [3] 徐勇,王志功,关宇,等. 一种高精度带隙电压基准源改

进设计[J]. 半导体学报, 2006, 27(12): 2209—2213.

- [5] ST. Application Note Error Correction Code in AN1823NAND Flash Memories[S]. 2004.
- [6] The request Sent by the dient was syntactically incorrect [EB/OL]. [2011-02-20]. http://en.wikipedia.org/wiki/Hamming_code
- [7] Li Hao, Yu Lixin. A study on the hardware imp. of EDAC[C]// Proc of the Third International Conference Convergence and Hybrid Information Technology. Washington, DC, USA: IEEE Copmputer Society, 2008: 222—225.
- [7] 兰景宏,王芳,吉利久,等. 低功耗异或同或电路的设计研究[J]. 北京大学学报:自然科学版, 2006, 42(3): 380—384.
- [8] 高丹,刘海涛. CMOS 数字电路低功耗的层次化设计[J]. 微电子学与计算机, 2008, 25(1): 100—103.

作者简介:

沙亚兵 男, (1985—), 硕士研究生. 研究方向为集成电路设计.

李文石 男, (1963—), 博士, 教授. 研究方向为模式分析与微电子系统设计.

进设计[J]. 半导体学报, 2006, 27(12): 2209—2213.

- [4] Robert J Widlar. New developments in IC voltage regulators[J]. IEEE Tournal of Solid—State Circuits, 1971, 2(1): 2—7.
- [5] Karel E Kuijk. A precision reference voltage source[J]. IEEE Journ 4L of Solid—State Circuits, 1973, 6(3): 222—226.
- [6] Sun Yueming, Zhao Menglian. Design of a bandgap reference with a wide supply voltage rngel[J]. 半导体学报, 2008, 29(8): 1529—1534.
- [7] 王静秋,来新泉. 一种用于宽电源电压幅度的高精度双极带隙基准电路[J]. 电路与系统学报, 2005, 10(5): 125—128.

作者简介:

马奎 男, (1985—), 博士研究生. 研究方向为模拟集成电路、半导体功率器件、功率集成电路.

傅兴华 男, (1948—), 教授, 博士生导师. 研究方向为半导体器件数值模型、集成电路设计、超导材料及其应用.